

JAPANESE [JP,10-056174,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART TECHNICAL PROBLEM MEANS
DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A source electrode is formed in the surface of a semiconductor substrate while many unit cells of MOSFET are formed in a semiconductor substrate. Furthermore While an impurity diffusion field for isolation of a reverse conductivity type is installed in the surface section of a semiconductor substrate with a conductivity type of the surface section concerned in the perimeter of said cel formation field In a semiconductor device installed on the impurity diffusion field concerned in the condition that a field plate *****ed outside an impurity diffusion field through an oxide film A semiconductor device characterized by having installed where metal wiring of a gate electrode of MOSFET is juttet out outside an impurity diffusion field through an oxide film, and using metal wiring of a gate electrode as a field plate on said impurity diffusion field in the perimeter of said cel formation field.

[Claim 2] A semiconductor device according to claim 1 which installed said source electrode in a method of outside from a corner of said cel formation field, and connected electrically the source electrode installation section and an impurity diffusion field depending on a method of the outside of the corner concerned.

[Claim 3] A source electrode is formed in the surface of a semiconductor substrate while many unit cells of MOSFET are formed in a semiconductor substrate. Furthermore While an impurity diffusion field for isolation of a reverse conductivity type is installed in the surface section of a semiconductor substrate with a conductivity type of the surface section concerned in the perimeter of said cel formation field In a semiconductor device installed on the impurity diffusion field concerned in the condition that a field plate *****ed outside an impurity diffusion field through an oxide film On said impurity diffusion field in the perimeter of said cel formation field, where a polish recon gate electrode of MOSFET is juttet out outside an impurity diffusion field through an oxide film, it installs. A semiconductor device characterized by using the polish recon gate electrode installation section as a field plate.

[Claim 4] Said MOSFET is a semiconductor device given in any 1 term of claims 1-3 which are what has a slot.

[Claim 5] An unit cell of said MOSFET is a semiconductor device given in any 1 term of claims 1-3 whose shape of the plan type is a quadrangle.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device MOSFET (Metal Oxide Semiconductor Field Effect Transistor) and IGBT used as a power semiconductor device, i.e., vertical molds etc., (Insulated Gate Bipolar Transistor), and has MOSIC which incorporated the power semiconductor device, for example as that use.

[0002]

[Description of the Prior Art] Vertical mold power metal-oxide semiconductor field effect transistor is excellent in a frequency characteristic, and since it has many features -- switching speed is quick and it can drive with low power -- it is used in the industrial field of recent years many. For example, the purport in which the focus of development of power metal-oxide semiconductor field effect transistor has shifted to the low resisting pressure article and the high resisting pressure article is indicated by the May 19, 1986 issue of the Nikkei tuna UHIRU issue "the Nikkei electronics", and pp.165-188. Furthermore, the purport in the ability of the on resistance of the power-metal-oxide-semiconductor-field-effect-transistor chip not more than resisting pressure 100V to take now the large channel width per area by indicating becoming low to 10mohm level, using micro processing of LSI for manufacture of power metal-oxide semiconductor field effect transistor, or devising the configuration of that cel as this reason, is stated to this reference. Moreover, it is stated to this reference focusing on the vertical mold power metal-oxide semiconductor field effect transistor which used the mainstream DMOS mold (double diffusion mold) cel. The reason is that there is an advantage on manufacture that the yield is good and cost is cheap since it is produced by the planar process characterized by a DMOS mold using the flat main surface of a silicon wafer for a channel portion as it is.

[0003] On the other hand, although low-loss-izing and low cost-ization are further called for with the spread of vertical mold power metal-oxide semiconductor field effect transistor, the on resistance reduction by the device of the configuration of micro processing or a cel is coming to the limit. For example, according to JP,63-266882,A, there is the minimum point that on resistance does not decrease any more even if it makes the size of an unit cell small by micro processing in a DMOS mold, and it turns out that the cause of main is the increment in the JFET resistance which accomplishes the component of on resistance. In a DMOS mold, under current ultra-fine processing technology, the size of the unit cell to which on resistance takes the minimum point is near 15 micrometer as shown in JP,2-86136,A.

[0004] Various structures are proposed in order to break through this limit. The feature common to them is the structure which formed the slot in the element surface and formed the channel section in the side of that slot, and can decrease the above-mentioned JFET resistance sharply according to this structure. Furthermore, in the structure in which the channel section be formed on the side of this slot, even if it make an unit cell size small, since it can ignore, increase of JFET resistance do not have the limit that on resistance take the minimum point to contraction of an unit cell size which be indicated by JP,63-266882,A, can cut 15 micrometers, and can be make small to the limit of micro processing.

[0005] Thus, there is the so-called thing of the trench structure which formed the slot by RIE (reactive ion etching) as indicated by JP,61-199666,A as the conventional manufacture method of the structure which forms the channel section in the side of a slot, and formed the channel section in the side of the slot. Here, RIE is physical etching which was excellent in the controllability of a process. That is, if RIE arranges an electrode to the upper and lower sides of the semiconductor substrate placed into the gas ambient atmosphere and high-frequency power is impressed to inter-electrode [said], gas ionizes it to an electron and ion. A cathode drop arises in the semiconductor substrate upper part by the big difference between an electron inter-electrode [this] and the mobility of ion. And electric field are produced by this cathode drop, by this electric field, accelerate said ion in the direction of a semiconductor substrate, it is made to collide with an etched field physically, and a semiconductor substrate is etched with that energy. And in order for RIE to accelerate the ionized gas, high-frequency power is impressed to inter-electrode [said] so that it may be made an absolute value on said semiconductor substrate and an about [10V-500V] cathode drop may occur. In order to accelerate the gas ionized in RIE in a certain fixed direction, it has the anisotropy which was very excellent and there is the feature that side etch cannot happen easily. However, in RIE, in order to make the gas ionized physically collide with a semiconductor substrate, a lattice defect occurs inevitably in the etched field, mobility falls and there is a problem that on resistance will increase as a result.

[0006] There is a semiconductor device which the lattice defect manufactured as a generating ***** semiconductor device here using wet etching as indicated by the international public presentation WO 93/No. 03502 and JP,62-12167,A. These configurations are called bathtub configuration to a trench

configuration.

[0007]

[Problem(s) to be Solved by the Invention] Thus, in DMOSFET in which the slot which is the structure which lost JFET resistance was formed, property on resistance can be reduced or less to 1/2 to the conventional planar DMOSFET. Therefore, when a chip is produced by DMOSFET in which the slot was formed, in order to make on resistance the same, a chip area is made to abbreviation 1/2, and can make a chip size small. However, although cel area becomes 1/2 or less among chip areas, the area of the field around a cel formation field (a gate electrode leader line field and resisting pressure structure field) does not change. Therefore, although a chip area can be made small so that property on resistance decreases, the rate that the field around a cel formation field occupies in the area of a chip becomes large. For this reason, it becomes an important technical problem that the field around a cel formation field also reduces area.

[0008] An example is explained using drawing 9 and 10. The element isolation region Z2 was formed in the surroundings of the cel formation field Z1 in a chip, and the element isolation region Z2 is equipped with the inside gate electrode leader field Z3 and the lateral resisting pressure structure field Z4. The aluminum wiring 51 for gate electrodes (leader) is installed in the gate electrode leader line field Z3, the aluminum wiring 51 is connected with the polish recon gate electrode 52, and a gate signal spreads without a time lag with the aluminum wiring 51. That is, the polish recon as wiring material has high resistance about double figures compared with a metal (aluminum), and, for this reason, makes propagation of a gate signal quick by arranging the aluminum wiring 51 around. Moreover, the deep p well field 53 is formed in the element isolation region Z2, and the deep p well field 53 is connected with the aluminum wiring 54 formed in the resisting pressure structure field Z4.

[0009] Moreover, while the aluminum wiring 54 is connected with the source electrode 55, only distance L10 is juttred out of the deep p well field 53 outside, and the aluminum wiring 54 is functioning as a field plate. It has the structure where the pressure-proofing between the drain sources of an about [100V] is obtained by this. However, in the element isolation region Z2, since the aluminum wiring (field plate) 54 and the aluminum wiring 51 for gate electrodes which were connected with the source electrode 55 were prepared according to the individual, the element isolation region Z2 was large with width of face of about 200 micrometers.

[0010] Then, the purpose of this invention is to offer the semiconductor device which can form the boundary region of a cel formation field into small area, and can make a chip area small.

[0011]

[Means for Solving the Problem] On an impurity diffusion field for isolation in the perimeter of a cel formation field, invention according to claim 1 is installed, where metal wiring of a gate electrode of MOSFET is juttred out outside an impurity diffusion field through an oxide film, and it is characterized by using metal wiring of a gate electrode as a field plate. therefore, a case where it has the aluminum wiring (field plate construct) 54 and the aluminum wiring 51 which were connected with a source electrode shown in drawing 10 in the perimeter of a cel formation field according to an individual -- comparing -- width of face of an element isolation region around a cel formation field -- narrow -- it can do -- a boundary region of a cel formation field -- a facet -- it can product-size and a chip area can be made small.

[0012] Here, if a source electrode is installed in a method of outside from a corner of a cel formation field and the source electrode installation section and an impurity diffusion field for isolation are electrically connected depending on a method of the outside of the corner concerned like, compared with a case according to claim 2 where the source electrode installation section and an impurity diffusion field for isolation are connected, a useless contact space will be lost except a corner.

[0013] On an impurity diffusion field for isolation in the perimeter of a cel formation field, invention according to claim 3 is installed, where a polish recon gate electrode of MOSFET is juttred out outside an impurity diffusion field through an oxide film, and it is characterized by using the polish recon gate electrode installation section as a field plate. therefore, a case where it has the aluminum wiring (field plate construct) 54 and the aluminum wiring 51 which were connected with a source electrode shown in drawing 10 in the perimeter of a cel formation field -- comparing -- width of face of an element isolation region around a cel formation field -- narrow -- it can do -- a boundary region of a cel formation field -- a facet -- it can product-size and a chip area can be made small.

[0014] In a semiconductor device of claims 1-3, if the shape of a plan type of an unit cell of MOSFET is used as a quadrangle, a configuration of the cel formation field Z1 will be made to a rectangle, and-izing of the periphery section (boundary section) of the cel formation field Z1 can be carried out [straight line]. Therefore, compared with a case where the shape of a plan type of an unit cell of MOSFET is made into configurations other than a quadrangle, area of an element isolation region can be made small.

[0015]

[Embodiment of the Invention]

(Gestalt of the 1st operation) The gestalt of implementation of the 1st of this invention is hereafter explained according to a drawing.

[0016] Drawing 1 is the plan of the vertical mold power metal-oxide semiconductor field effect transistor (chip) of the gestalt of this operation. The cel formation field Z1 is formed in the center section of the chip, and a large number arrangement of the unit cell is regularly carried out in all directions to the cel formation field Z1. The shape of the plan type is an abbreviation square, and the pitch (size) P of an unit cell is about 10-16 micrometers. As for the cel formation field Z1, the shape of the plan type is making the shape of a rectangle.

[0017] The enlarged view of the chip corner in drawing 1 is shown in drawing 2. The A-A cross section of

drawing 2 is shown in drawing 3, the B-B cross section of drawing 2 is shown in drawing 4, and the C-C cross section of drawing 2 is shown in drawing 5.

[0018] As shown in drawing 3 – drawing 5, it sets for a chip (semiconductor substrate) 1, and it is n+. On the mold silicon substrate 2, it is n. – The mold epitaxial layer 3 is formed. n+ High impurity concentration is thickness of mold silicon substrate 2] 100–400 micrometers about [$2 \times 10^{19} \text{cm}^{-3}$] in three. n– For high impurity concentration, the thickness of the mold epitaxial layer 3 is around 7 micrometers about [10^{16}cm^{-3}] in three. The element isolation region (periphery section) Z2 is formed in the periphery of the cel formation field Z1 of the semiconductor substrate 1, and the width of face of the element isolation region (periphery section) Z2 is about 150 micrometers. Although the width of face of the element isolation region Z2 was about 200 micrometers with the conventional structure shown in drawing 10, it is short in this example at about 150 micrometers. What expanded the cel formation field Z1 (the X section enlarged view of drawing 3) is shown in drawing 6. The cel formation field Z1 is explained using this drawing 6.

[0019] n– Set in the surface section of the mold epitaxial layer 3, and they are the base region 4 of deep p mold, and shallow n+. The source field 5 of a mold is formed. A slot 6 is formed in the upper surface (surface) in the semiconductor substrate 1, and side 6a of this slot 6 has become slant-like (the shape of a taper). Moreover, base 6b of a slot 6 is n. – It is in the arrangement field of the mold epitaxial layer 3, and the base region 4 and the source field 5 are formed in side 6a of a slot 6. Thus, while the source field 5 is formed in the upper part in side 6a of a slot 6, the base region 4 is formed in the bottom of the source field 5. The depth is about 1 micrometer and p mold base region 4 is n+. The depth of the mold source field 5 is about 0.5 micrometers. And an about 0.5-micrometer channel is set as side 6a of a slot 6. A base region 4 and the source field 5 are formed of double diffusion.

[0020] Furthermore, the corner of base 6b of a slot 6 and side 6a has a radius of circle, and the corner of side 6a of a slot 6 and the surface of the semiconductor substrate 1 also has the radius of circle further. The shape of this quirk is acquired by forming a slot 6 with a LOCOS oxide film. MOSFET of the gestalt of a concave (concave); a call, and this operation serves as the concave mold MOSFET in this slot 6. Reduction of on resistance is achieved by this slot 6.

[0021] The thin silicon oxide 7 as a gate insulator layer is formed in the internal surface of a slot 6, and the surface of the source field 5 in the periphery of a slot 6. The polish recon gate electrode 8 is arranged on the silicon oxide 7 in the interior of a slot 6, and the periphery of a slot 6. Thus, the corner of side 6a of a slot 6 and the surface of the semiconductor substrate 1 is countered, and the polish recon gate electrode 8 is installed through the silicon oxide 7 as a gate insulator layer. Thickness is about 40–60nm, and the thickness of the polish recon gate electrode 8 of the silicon oxide (gate oxide) 7 of the wall of a slot 6 is about 400nm.

[0022] n– p mold well field (deep p well field) 9 deeper than the perimeter is formed in the center section of the p mold base region 4 in the mold epitaxial layer 4. When the high voltage is impressed by this p mold well field 9 between the drain sources, breakdown happens in the center section of the base of p mold base region 4.

[0023] Furthermore, the interlayer insulation films 10, such as BPSG, are arranged on the polish recon gate electrode 8. The thickness of an interlayer insulation film 10 is about 1 micrometer. On an interlayer insulation film 10, the source electrode (an emitter electrode, cathode electrode) 11 which consists of aluminum etc. has been arranged, and the source electrode 11 is in contact with the source field 5 and the base region 4 through the contact hole (opening) 12.

[0024] Moreover, in the rear face of the semiconductor substrate 1, the drain electrode (a collector electrode, anode electrode) 13 is arranged. As shown in drawing 3, and 4 and 5, in the element isolation region Z2, the LOCOS oxide film (field oxide) 14 with a thickness of about 1 micrometer is formed in the surface of the semiconductor substrate 1. On the LOCOS oxide film 14, the polish recon gate electrode installation section 15 prolonged from the polish recon gate electrode 8 is arranged. Silicon oxide 16 is arranged on the LOCOS oxide film 14 including the polish recon gate electrode installation section 15 top. On this silicon oxide 16, the aluminum wiring 17 as metal wiring is arranged, and the aluminum wiring 17 is installed in parts other than the corner of the element isolation region Z2, as shown in drawing 2.

[0025] As shown in drawing 3, the polish recon gate electrode installation section 15 is connected with the aluminum wiring 17 through the contact hole (opening) 18. The aluminum wiring 17 is connected with the gate pad 23 as shown in drawing 1.

[0026] Moreover, as shown in drawing 3, and 4 and 5, it sets to the element isolation region Z2, and it is n. – Rear-spring-supporter installation of the deep p well field 19 as an impurity diffusion field for isolation is carried out throughout the element isolation region Z2 (perimeter) at the mold epitaxial layer 3. The deep p well field 19 is formed in p mold well field 9 and coincidence of the cel formation field Z1. As shown in drawing 2 and 5, aluminum 21 is installed from the corner of the cel formation field Z1 toward the method of outside to the source electrode 11 on silicon oxide 16, and the source electrode installation section 21 and the deep p well field 19 are connected through the contact hole (opening) 20 in the corner of the element isolation region Z2. As shown in drawing 2, the aluminum wiring (gate electrode leader) 17 and the source electrode installation section 21 have set and estranged the gap 40, and both are insulated.

[0027] Furthermore, as shown in drawing 3, and 4 and 5, the passivation film 22 is arranged on the source electrode 11, the source electrode installation section 21, and the aluminum wiring 17. Moreover, as shown in drawing 2 and 3, in the portion of the side of the element isolation region Z2 which makes a quadrangle, the outside edge of the aluminum wiring 17 is located outside by only distance L1 from the periphery edge of the deep p well field 19, and the aluminum wiring 17 is functioning as a field plate.

[0028] That is, when pressure-proofing between the drain sources of power metal-oxide semiconductor field

effect transistor poses a problem, in order to make a device into an OFF state from an ON state at the time of the drive of L loads, such as a motor, it is a time of changing gate voltage to source potential. At this time, back EMF produced with L load, i.e., shuttlecock stage fright voltage, is impressed to a drain. With the structure of drawing 3, the aluminum wiring (gate electrode leader) 17 is connected with the polish recon gate electrode 8. several [therefore, / required of the ON state of a device in order to operate a device] -- although V is impressed to the aluminum wiring 17 -- the drain electrode 13 -- the ON state voltage of a chip -- namely, -- at most -- several -- about V voltage is impressed -- **** -- it does not pass but the resisting pressure structure of a periphery is almost satisfactory in this case. Although the shuttlecock stage fright voltage of dozens V is impressed to the drain electrode 13 at the time of OFF, since it is fixed to source potential, the aluminum wiring 17 can obtain the completely same pressure-proofing as the case where a field plate is formed with a source electrode instead of the aluminum wiring 17. Therefore, width of face of the element isolation region (periphery section) Z2 in structure can be made small conventionally which was shown in drawing 10, being able to use the aluminum wiring 17 as a field plate, and maintaining pressure-proofing of a resisting pressure structure field. That is, conventionally which was shown in drawing 10, although it had the aluminum wiring 54 connected to the source electrode 55 in structure, and the gate electrode leader 51 according to the individual, on the other hand as shown in drawing 3, with the gestalt of this operation, size of the appearance of a chip can be made small (width of face of the element isolation region Z2 is made to about 150 micrometers).

[0029] Moreover, as shown in drawing 2 and 5, in the portion of the angle of the element isolation region Z2 which makes a quadrangle, the outside edge of the source electrode installation section 21 is located outside by only distance L3 from the periphery edge of the deep p well field 19, and the source electrode installation section 21 is functioning as a field plate. Therefore, conventionally which was shown in drawing 10, since the gate electrode leader 51 in structure becomes unnecessary, width of face of the element isolation region (periphery section) Z2 can be made small. That is, since the contact space of the useless deep p well field 19 and the source electrode 11 which are produced when it fixes to source potential except a corner is lost, a chip size can be made small.

[0030] Moreover, since two or more corners are in a chip, if the potential of the deep p well field 19 is fixed to source potential for each of this corner as the contact section, potential is fixable to homogeneity within a chip. Since avalanche breakdown will not occur locally but avalanche breakdown will occur in homogeneity in a chip side when the voltage more than the voltage between the drain sources is impressed to a drain electrode at the time of switching if it does in this way, a destructive tolerated dose can be made high.

[0031] In addition, since the cel formation field Z1 and the aluminum wiring 17 (gate electrode leader) are connected by the shortest in the part shown by drawing 3 other than a corner, the switching speed of a chip is not conventionally different from drawing 10 of structure (the fall of switching speed is avoided).

[0032] Furthermore, as shown in drawing 2 and 4, in the boundary portions of the portion of the side of the element isolation region Z2, and the portion of an angle which make a quadrangle, only distance L2 be located outside from the periphery edge of the deep p well field 19, the polish recon gate electrode installation section 15 functioned as a field plate, and the outside edge of the polish recon gate electrode installation section 15 have acquired resisting pressure structure by this overhang portion L2.

[0033] That is, in this part (part in which the gap 40 of drawing 2 was formed), the source electrode installation section 21 and the aluminum wiring (gate electrode leader) 17 are insulated, and the polish recon gate electrode installation section 15 is used as a field plate in this part. If it states strictly, as for the structure of drawing 4, only in the part of silicon oxide (interlayer insulation film) 16, the thickness of the oxide film of the lower part of a field plate (15) will become thin slightly compared with drawing 3. Therefore, when voltage is impressed to the drain electrode 13, the field strength on the surface of silicon rises from the structure of drawing 3. Therefore, pressure-proofing falls more slightly than the structure of drawing 3. However, by making the overhang length L2 of the field plate (15) of drawing 4 longer than the length L1 of drawing 3, this fall can ease the field strength on the surface of silicon, and can make pressure-proofing equal to drawing 3. That is, by adjusting the rear-spring-supporter field plate overhang length L1, L2, and L3 to the perimeter of the element isolation region Z2, it is the whole region and pressure-proofing of a chip periphery is made equal.

[0034] Thus, with the cross-section structure of drawing 4, since the contact space of the aluminum wiring 51 for gate electrodes with structure, and the deep p well field 53 and the aluminum wiring 54 is lost conventionally which was shown in drawing 10, width of face of the element isolation region (periphery section) Z2 in structure can be made small conventionally which was shown in drawing 10.

[0035] Thus, the gestalt of this operation has the following feature.

(**) As shown in drawing 3 Oxide films 14 and 16 are minded on the deep p well field (impurity diffusion field for isolation) 19 in the perimeter of the cel formation field Z1. Since the aluminum wiring (metal wiring) 17 of the polish recon gate electrode 8 of a vertical mold MOSFET was installed in the condition of having *****ed outside the deep p well field 19 and the aluminum wiring 17 was used as a field plate It compares, when it has the aluminum wiring (field plate construct) 54 and the aluminum wiring 51 which were connected with the source electrode shown in drawing 10 in the element isolation region Z2 around the cel formation field Z1 according to an individual. Width of face of the element isolation region Z2 can be narrowed, the element isolation region Z2 can be formed into small area, and a chip area can be made small.

(**) Since the source electrode 11 was installed in the method of outside from the corner of the cel formation field Z1 and the source electrode installation section 21 and the deep p well field (impurity diffusion field for isolation) 19 were electrically connected depending on the method of the outside of a corner as shown in drawing 5, compared with the case where the source electrode installation section and

the deep p well field 19 are connected, a useless contact space is lost except a corner.

(**) Install in the condition the bottom. the deep p well field [in / as shown in drawing 4 / the element isolation region Z2] (impurity diffusion field) 19 top -- the LOCOS oxide film 14 -- minding -- the polish recon gate electrode 8 of a vertical mold MOSFET -- an outside [field / 19 / deep p well] -- flare appearance -- Since the polish recon gate electrode installation section 15 was used as a field plate the case where it has the aluminum wiring (field plate construct) 54 and the aluminum wiring 51 which were connected with the source electrode shown in drawing 10 in the element isolation region Z2 -- comparing -- the width of face of the element isolation region Z2 -- narrow -- it can do -- the element isolation region Z2 -- a facet -- it can product-ize and a chip area can be made small.

(**) Since the shape of a plan type of the unit cell of MOSFET serves as a quadrangle (square), the configuration of the cel formation field Z1 is made to a rectangle (rectangle), and-izing of the periphery section (boundary section) of the cel formation field Z1 can be carried out [straight line] (made to a configuration without irregularity). Therefore, compared with the case where the shape of a plan type of the unit cell of MOSFET is made into configurations other than a quadrangle, area of an element isolation region (resisting pressure structure field) can be made small.

[0036] In addition, although the configuration of an unit cell was an abbreviation square, a triangle, the polygon of five or more angles, and a round shape are sufficient. Moreover, band-like (stripe configuration) is sufficient.

(Gestalt of the 2nd operation) Next, it explains focusing on difference with the gestalt of the 1st operation of the gestalt of implementation of the 2nd of this invention.

[0037] Drawing 7 is a plan of the vertical mold power metal-oxide semiconductor field effect transistor (chip) of the gestalt of this operation replaced with drawing 2 of the gestalt of the 1st operation. Drawing 8 is the D-D cross section of drawing 7, and the E-E cross section of drawing 7 is the same as drawing 3.

[0038] Although the source electrode installation section 21 and the deep p well field (impurity diffusion field for isolation) 19 were electrically connected with the gestalt of implementation of the above 1st depending on the method of the outside of a corner of the cel formation field Z1 As this example shows to drawing 7, the field 24 (shown in drawing 8) which does not have the polish recon gate electrode installation section 15 in element isolation regions Z2 other than a corner at a cel side rather than the aluminum wiring (metal wiring) 17 of the polish recon gate electrode 8 is formed. In this field 24, the source electrode installation section 25 and the deep p well field (impurity diffusion field for isolation) 19 are electrically connected through a contact hole (opening) 26. Compared with the case where it has the aluminum wiring 54 and the aluminum wiring 51 which were connected with the gate electrode shown in drawing 10 also in this structure, width of face of the element isolation region Z2 can be narrowed, the element isolation region Z2 can be formed into small area, and a chip area can be made small. If this structure is furthermore used, since the aluminum wiring (metal wiring) 17 of the polish recon gate electrode 8 can be connected throughout a chip periphery since the source electrode installation section (21) and the deep p well field (impurity diffusion field) 19 are not electrically connected in the corner of the element isolation region Z2, and it can form, a gate signal can be told to a high speed throughout a chip. furthermore, field plate structure is formed only with the aluminum wiring 17 connected with the gate electrode -- having -- coming -- pressure-proofing of field plate structure -- the inside of a chip side -- perfect -- etc. -- since [to spread] it becomes -- the resisting pressure twist of field plate structure -- since avalanche breakdown occurs in homogeneity in a chip side when high voltage is added between the drain sources, a destructive tolerated dose can be made high.

[0039] You may carry out as follows besides the gestalt of each operation explained until now. Although the gestalt of the above-mentioned implementation explained the n channel mold, it cannot be overemphasized that an effect with the same said of the p channel mold with which the conductivity type of the semiconductor of n mold and p mold was replaced is acquired.

[0040] Furthermore, you may apply to MOSFET of the horizontal-type power metal-oxide semiconductor field effect transistor which contains Lateral DMOSFET besides the vertical mold MOSFET which has a slot, or a planar mold without a slot.

[0041] Furthermore, although the gestalt of the above-mentioned implementation explained IC which used only vertical mold power metal-oxide semiconductor field effect transistor, it is not limited to it and you may apply to the power MOSIC incorporating such vertical mold power metal-oxide semiconductor field effect transistor.

[0042] Moreover, at the gestalt of the above-mentioned implementation, it is n+ as a semiconductor substrate. It is p+ although the vertical mold power metal-oxide semiconductor field effect transistor using a mold semiconductor substrate was explained. It is applicable also to the gate structure of the insulated-gate mold bipolar transistor (IGBT) using a mold semiconductor substrate.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The plan of the vertical mold power metal-oxide semiconductor field effect transistor of the gestalt of operation.

[Drawing 2] The enlarged view of the chip corner in drawing 1 .

[Drawing 3] The A-A cross section of drawing 2 .

[Drawing 4] The B-B cross section of drawing 2 .

[Drawing 5] The C-C cross section of drawing 2 .

[Drawing 6] The X section enlarged view of drawing 3 .

[Drawing 7] The expansion plan of the chip corner in the gestalt of the 2nd operation.

[Drawing 8] The D-D cross section of drawing 7 .

[Drawing 9] The plan of the conventional vertical mold power metal-oxide semiconductor field effect transistor.

[Drawing 10] The F-F cross section of drawing 9 .

[Description of Notations]

1 [-- A source electrode, 13 / -- A drain electrode, 14 / -- A LOCOS oxide film, 15 / -- The polish recon gate electrode installation section, 16 / -- Silicon oxide, 17 / -- The aluminum wiring as metal wiring 19 / -- The deep p well field as an impurity diffusion field for isolation, 21 / -- The source electrode installation section, Z1 / -- A cel formation field, Z2 / -- Element isolation region.] -- A semiconductor substrate, 6 -- A slot, 8 -- A polish recon gate electrode, 11

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56174

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9447-4M	H 0 1 L 29/78	6 5 2 P
		9447-4M		6 5 3 A

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平8-211625

(22) 出願日 平成 8 年(1996) 8 月 9 日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町 1 丁目 1 番地

(72) 発明者 山本 剛

愛知県刈谷市昭和町 1 丁目 1 番地 日本電
装株式会社内

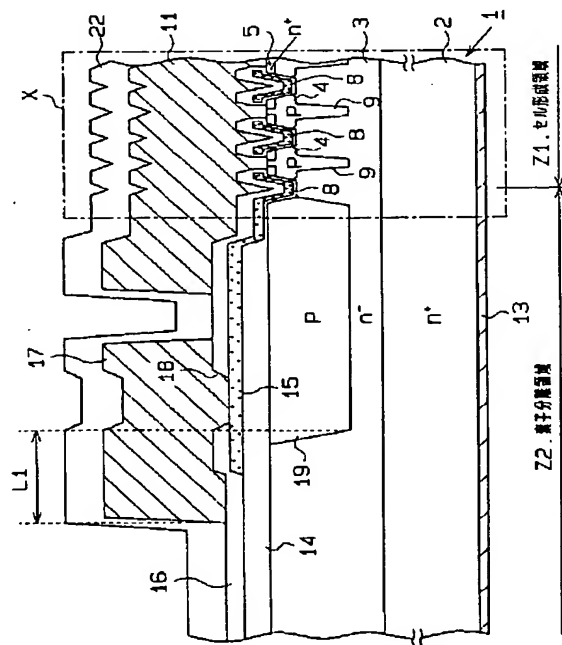
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】セル形成領域の周辺領域を小面積化してチップ面積を小さくすることができる半導体装置を提供する。

【解決手段】半導体基板 1 に溝 6 を有する縦型 MOS F E T のユニットセルが多数形成されるとともに半導体基板 1 の表面にソース電極 1 1 が、半導体基板 1 の裏面にドレイン電極 1 3 が形成され、このセル形成領域 Z 1 の周囲において半導体基板 1 の n^+ 型エピタキシャル層 3 にディープ p ウェル領域 1 9 が延設されている。セル形成領域 Z 1 の周囲におけるディープ p ウェル領域 1 9 の上に酸化膜 1 4、1 6 を介して縦型 MOS F E T のゲート電極のアルミ配線 1 7 がディープ p ウェル領域 1 9 よりも外側に張り出した状態で延設され、ゲート電極のアルミ配線 1 7 をフィールドプレートとして用いている。



【特許請求の範囲】

【請求項1】 半導体基板にMOSFETのユニットセルが多数形成されるとともに半導体基板の表面にソース電極が形成され、さらに、前記セル形成領域の周囲において半導体基板の表層部に当該表層部の導電型とは逆導電型の素子分離用不純物拡散領域が延設されるとともに当該不純物拡散領域の上に酸化膜を介してフィールドプレートが不純物拡散領域よりも外側に張り出した状態で延設された半導体装置において、

前記セル形成領域の周囲における前記不純物拡散領域の上に酸化膜を介してMOSFETのゲート電極の金属配線を不純物拡散領域よりも外側に張り出した状態で延設し、ゲート電極の金属配線をフィールドプレートとして用いたことを特徴とする半導体装置。

【請求項2】 前記ソース電極を前記セル形成領域の角部から外方に延設し、当該角部外方にソース電極延設部と不純物拡散領域とを電気的に接続した請求項1に記載の半導体装置。

【請求項3】 半導体基板にMOSFETのユニットセルが多数形成されるとともに半導体基板の表面にソース電極が形成され、さらに、前記セル形成領域の周囲において半導体基板の表層部に当該表層部の導電型とは逆導電型の素子分離用不純物拡散領域が延設されるとともに当該不純物拡散領域の上に酸化膜を介してフィールドプレートが不純物拡散領域よりも外側に張り出した状態で延設された半導体装置において、前記セル形成領域の周囲における前記不純物拡散領域の上に酸化膜を介してMOSFETのポリシリコンゲート電極を不純物拡散領域よりも外側に張り出した状態で延設し、ポリシリコンゲート電極延設部をフィールドプレートとして用いたことを特徴とする半導体装置。

【請求項4】 前記MOSFETは溝を有するものである請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記MOSFETのユニットセルはその平面形状が四角形である請求項1～3のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電力用半導体素子として用いられる半導体装置、すなわち縦型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) 等に係り、その用途としては、例えば電力用半導体素子を組み込んだMOS IC等がある。

【0002】

【従来の技術】縦型パワーMOSFETは、周波数特性が優れ、スイッチング速度が速く、かつ低電力で駆動できる等多くの特長を有することから、近年多くの産業分野で使用されている。例えば、日経マグロウヒル社発行

“日経エレクトロニクス”の1986年5月19日号、pp. 165-188には、パワーMOSFETの開発の焦点が低耐圧品および高耐圧品に移行している旨が記載されている。さらに、この文献には、耐圧100V以下のパワーMOSFETチップのオン抵抗は、10mΩレベルまで低くなってきていることが記載されており、この理由として、パワーMOSFETの製造にLSIの微細加工を利用したり、そのセルの形状を工夫したりすることにより、面積当たりのチャネル幅が大きくとれるようになったことにある旨が述べられている。又、この文献には主流であるDMOS型（二重拡散型）セルを使用した縦型パワーMOSFETを中心に述べられている。その理由は、DMOS型はチャネル部分にシリコンウエハの平坦な主表面をそのまま使用することを特長とするプレーナプロセスにより作製されるため、歩留まりが良くコストが安いという製造上の利点があるからである。

【0003】一方、縦型パワーMOSFETの普及に伴って低損失化、低コスト化がさらに求められているが、微細加工やセルの形状の工夫によるオン抵抗低減は限界にきている。例えば、特開昭63-266882号公報によると、DMOS型においては微細加工によりユニットセルの寸法を小さくしてもオン抵抗がそれ以上減少しない極小点があり、その主原因がオン抵抗の成分を成すJFET抵抗の増加であることが分かっている。DMOS型において、特開平2-86136号公報に示されているように、現在の微細加工技術の下ではオン抵抗が極小点をとるユニットセルの寸法は15μm付近である。

【0004】この限界を突破するために種々の構造が提案されている。それらに共通した特徴は素子表面に溝を形成し、その溝の側面にチャネル部を形成した構造であり、この構造により前述のJFET抵抗を大幅に減少させることができる。さらに、この溝の側面にチャネル部を形成した構造においては、ユニットセル寸法を小さくしてもJFET抵抗の増大は無視することができるため、特開昭63-266882号公報に記載されたようなユニットセル寸法の縮小に対してオン抵抗が極小点をとるという限界が無く、15μmを切って微細加工の限界まで小さくすることができる。

【0005】このように、溝の側面にチャネル部を形成する構造の従来の製造方法として例えば特開昭61-199666号公報に開示されているようにRIE（反応性イオンエッチング）で溝を形成し、その溝の側面にチャネル部を形成した、いわゆるトレンチ構造のものがある。ここで、RIEはプロセスの制御性の優れた物理的なエッチングである。すなわちRIEは、ガス雰囲気中に置かれた半導体基板の上下に電極を配置して前記電極間に高周波電力を印加すると、ガスが電子とイオンとに電離する。この電極間での電子とイオンの移動度の大きな違いによって半導体基板上部に陰極降下が生じる。そ

してこの陰極降下によって電界を生じさせ、この電界によって前記イオンを半導体基板方向に加速させ、被エッチング面に物理的に衝突させてそのエネルギーで半導体基板をエッチングするものである。そして、R I Eは電離したガスを加速させるため、前記半導体基板上に絶対値にして10V〜500V程度の陰極降下が発生するように前記電極間に高周波電力が印加される。R I Eにおいては電離したガスをある一定方向に加速させるため、非常に優れた異方性を有しサイドエッチが起りにくいという特徴がある。しかしながら、R I Eにおいては、物理的に電離されたガスを半導体基板に衝突させるため、エッチングされた面に格子欠陥が必然的に発生し、移動度が下がり結果としてオン抵抗が増加してしまうという問題がある。

【0006】ここで格子欠陥が発生いく半導体装置として、例えば国際公開WO93/03502号や特開昭62-12167号公報に開示されているようにウェットエッチングを用いて製造した半導体装置がある。これらの形状は、トレンチ形状に対してバスタブ形状といわれる。

【0007】

【発明が解決しようとする課題】このように、J F E T抵抗をなくした構造である溝を形成したDMOS F E Tでは、従来のプレーナDMOS F E Tに対して、1/2以下に特性オン抵抗を低減することができる。従って、溝を形成したDMOS F E Tによりチップを作製した場合、オン抵抗を同一にするには、チップ面積は約1/2にでき、チップサイズを小さくすることができる。しかしながら、チップ面積のうちセル面積は1/2以下になるものの、セル形成領域の周囲の領域（ゲート電極引出線領域や耐圧構造領域）の面積は変わらない。従って、特性オン抵抗が低減するほど、チップ面積を小さくできるが、セル形成領域の周囲の領域がチップの面積に占める割合が大きくなっていく。このため、セル形成領域の周囲の領域も面積を低減することが重要な課題になってくる。

【0008】具体例を図9、10を用いて説明する。チップにおけるセル形成領域Z1の回りには素子分離領域Z2が形成され、素子分離領域Z2には内側のゲート電極引出線領域Z3と外側の耐圧構造領域Z4とを備えている。ゲート電極引出線領域Z3にはゲート電極用アルミ配線（引出し線）51が延設され、アルミ配線51がポリシリコンゲート電極52と接続され、アルミ配線51によりゲート信号が時間遅れなく伝搬する。即ち、配線材としてのポリシリコンは金属（アルミ）に比べて抵抗が2桁程度高く、このため、アルミ配線51を周囲に配置することによってゲート信号の伝搬を速くしている。又、素子分離領域Z2にはディープpウェル領域53が形成され、ディープpウェル領域53は耐圧構造領域Z4に形成されたアルミ配線54と接続されている。

【0009】又、アルミ配線54はソース電極55と接続されるとともに、ディープpウェル領域53から距離L10だけ外側に張り出しており、アルミ配線54がフィールドプレートとして機能している。これにより100V程度のドレイン・ソース間耐圧が得られる構造となっている。ところが、素子分離領域Z2において、ソース電極55と接続されたアルミ配線（フィールドプレート）54とゲート電極用アルミ配線51が個別に設けられているため、素子分離領域Z2が幅200μm程度と大きくなっていた。

【0010】そこで、この発明の目的は、セル形成領域の周辺領域を小面積化してチップ面積を小さくすることができる半導体装置を提供することにある。

【0011】

【課題を解決するための手段】請求項1に記載の発明は、セル形成領域の周囲における素子分離用不純物拡散領域の上に酸化膜を介してMOS F E Tのゲート電極の金属配線を不純物拡散領域よりも外側に張り出した状態で延設し、ゲート電極の金属配線をフィールドプレートとして用いたことを特徴としている。よって、セル形成領域の周囲において、図10に示したソース電極と接続されたアルミ配線（フィールドプレート構成体）54とアルミ配線51とを個別に備えた場合に比べて、セル形成領域の周囲の素子分離領域の幅を狭くでき、セル形成領域の周辺領域を小面積化してチップ面積を小さくすることができる。

【0012】ここで、請求項2に記載のように、ソース電極をセル形成領域の角部から外方に延設し、当該角部外方にソース電極延設部と素子分離用不純物拡散領域とを電気的に接続すると、角部以外でソース電極延設部と素子分離用不純物拡散領域とを接続する場合に比べ無駄なコンタクトスペースが無くなる。

【0013】請求項3に記載の発明は、セル形成領域の周囲における素子分離用不純物拡散領域の上に酸化膜を介してMOS F E Tのポリシリコンゲート電極を不純物拡散領域よりも外側に張り出した状態で延設し、ポリシリコンゲート電極延設部をフィールドプレートとして用いたことを特徴としている。よって、セル形成領域の周囲において、図10に示したソース電極と接続されたアルミ配線（フィールドプレート構成体）54とアルミ配線51とを備えた場合に比べてセル形成領域の周囲の素子分離領域の幅を狭くでき、セル形成領域の周辺領域を小面積化してチップ面積を小さくすることができる。

【0014】請求項1〜3の半導体装置において、MOS F E Tのユニットセルの平面形状を四角形とすると、セル形成領域Z1の形状を矩形にでき、セル形成領域Z1の外周部（境界部）を直線化できる。そのためMOS F E Tのユニットセルの平面形状を四角形以外の形状とした場合に比べ、素子分離領域の面積を小さくできる。

【0015】

【発明の実施の形態】

（第1の実施の形態）以下、この発明の第1の実施の形態を図面に従って説明する。

【0016】図1は、本実施の形態の縦型パワーMOSFET（チップ）の平面図である。チップの中央部にはセル形成領域Z1が形成され、セル形成領域Z1にユニットセルが縦横に規則正しく多数配置されている。ユニットセルは、その平面形状が略正方形であり、ピッチ（寸法）Pが10～16μm程度である。セル形成領域Z1はその平面形状が長方形をなしている。

【0017】図2には、図1でのチップ角部の拡大図を示す。図3には図2のA-A断面図を示し、図4には図2のB-B断面図を示し、図5には図2のC-C断面図を示す。

【0018】図3～図5に示すように、チップ（半導体基板）1において、n⁺型シリコン基板2の上にはn⁺型エピタキシャル層3が形成されている。n⁺型シリコン基板2は不純物濃度が $2 \times 10^{19} \text{ cm}^{-3}$ 程度で厚さが100～400μmである。n⁺型エピタキシャル層3は不純物濃度が 10^{16} cm^{-3} 程度で厚さが7μm程度である。半導体基板1のセル形成領域Z1の周辺部には素子分離領域（外周部）Z2が形成され、素子分離領域（外周部）Z2はその幅が150μm程度である。図10に示した従来の構造では素子分離領域Z2の幅が200μm程度であったが、本例では150μm程度に短くなっている。セル形成領域Z1を拡大したもの（図3のX部拡大図）を図6に示す。この図6を用いてセル形成領域Z1を説明する。

【0019】n⁺型エピタキシャル層3の表層部においては、深いp型のベース領域4および浅いn⁺型のソース領域5が形成されている。半導体基板1における上面（表面）には溝6が形成され、この溝6の側面6aは斜状（テーパ状）となっている。又、溝6の底面6bはn⁺型エピタキシャル層3の配置領域にあり、溝6の側面6aにベース領域4およびソース領域5が形成されている。このように溝6の側面6aにおける上部にソース領域5が形成されるとともにソース領域5の下にベース領域4が形成されている。p型ベース領域4は深さが1μm程度であり、n⁺型ソース領域5は深さが0.5μm程度である。そして、溝6の側面6aに0.5μm程度のチャンネルが設定される。ベース領域4とソース領域5とは二重拡散により形成されたものである。

【0020】さらに、溝6の底面6bと側面6aとの角部は丸みを有し、さらに、溝6の側面6aと半導体基板1の表面との角部も丸みを有している。この溝形状は、LOCOS酸化膜にて溝6を形成することにより得られるものである。この溝6をコンケイブ（concave）と呼び、本実施の形態のMOSFETはコンケイブ型MOSFETとなっている。この溝6によりオン抵抗の低減が図られる。

【0021】溝6の内壁面、および溝6の周辺部におけるソース領域5の表面には、ゲート絶縁膜としての薄いシリコン酸化膜7が形成されている。溝6の内部および溝6の周辺部におけるシリコン酸化膜7の上にはポリシリコンゲート電極8が配置されている。このように、溝6の側面6aと半導体基板1の表面との角部に対向してゲート絶縁膜としてのシリコン酸化膜7を介してポリシリコンゲート電極8が延設されている。溝6の内壁のシリコン酸化膜（ゲート酸化膜）7は厚さが40～60nm程度であり、ポリシリコンゲート電極8の厚さは400nm程度である。

【0022】n⁺型エピタキシャル層4におけるp型ベース領域4の中央部には周囲よりも深いp型ウェル領域（ディープpウェル領域）9が形成されている。このp型ウェル領域9によりドレイン・ソース間に高電圧が印加されたときに、p型ベース領域4の底面の中央部でブレイクダウンが起こるようになっている。

【0023】さらに、ポリシリコンゲート電極8の上にはBPSG等の層間絶縁膜10が配置されている。層間絶縁膜10は厚さが1μm程度である。層間絶縁膜10の上にはアルミ等よりなるソース電極（エミッタ電極、カソード電極）11が配置され、ソース電極11はコンタクトホール（開口部）12を通してソース領域5およびベース領域4と接している。

【0024】又、半導体基板1の裏面にはドレイン電極（コレクタ電極、アノード電極）13が配置されている。図3、4、5に示すように、素子分離領域Z2において、半導体基板1の表面に厚さ1μm程度のLOCOS酸化膜（フィールド酸化膜）14が形成されている。LOCOS酸化膜14の上には、ポリシリコンゲート電極8から延びるポリシリコンゲート電極延設部15が配置されている。ポリシリコンゲート電極延設部15の上を含むLOCOS酸化膜14の上にはシリコン酸化膜16が配置されている。このシリコン酸化膜16の上には金属配線としてのアルミ配線17が配置され、アルミ配線17は図2に示すように素子分離領域Z2の角部以外の箇所において延設されている。

【0025】図3に示すように、ポリシリコンゲート電極延設部15はコンタクトホール（開口部）18を通してアルミ配線17と接続されている。アルミ配線17は図1に示すように、ゲートパッド23と接続されている。

【0026】又、図3、4、5に示すように、素子分離領域Z2において、n⁺型エピタキシャル層3には素子分離用不純物拡散領域としてのディープpウェル領域19が素子分離領域Z2の全域（全周）にわたり延設されている。ディープpウェル領域19はセル形成領域Z1のp型ウェル領域9と同時に形成される。図2、5に示すように、シリコン酸化膜16の上においてソース電極11に対しセル形成領域Z1の角部から外方に向かって

アルミ21が延設され、素子分離領域Z2の角部においてコンタクトホール(開口部)20を通してソース電極延設部21とディープpウェル領域19とが接続されている。図2に示すように、アルミ配線(ゲート電極引出し線)17とソース電極延設部21とは間隔40をおいて離間しており、両者は絶縁されている。

【0027】さらに、図3、4、5に示すように、ソース電極11、ソース電極延設部21およびアルミ配線17の上にはパッシベーション膜22が配置されている。又、図2、3に示すように、四角形をなす素子分離領域Z2の辺の部分においては、アルミ配線17の外側端がディープpウェル領域19の外周端から距離L1だけ外側に位置しており、アルミ配線17がフィールドプレートとして機能している。

【0028】つまり、パワーMOSFETのドレイン・ソース間の耐圧が問題となる場合は、モータなどの負荷の駆動時にデバイスをオン状態からオフ状態にするためにゲート電圧をソース電位に変化させた時である。この時、負荷により生じる逆起電力、即ち、はねあがり電圧がドレインに印加される。図3の構造では、アルミ配線(ゲート電極引出し線)17がポリシリコンゲート電極8と接続されている。従って、デバイスのオン状態ではデバイスを動作させるために必要な数Vがアルミ配線17に印加されているが、ドレイン電極13にはチップのオン電圧、即ち、高々数V程度の電圧が印加されているにすぎず、外周の耐圧構造は、この場合あまり問題が無い。オフ時には、ドレイン電極13には数十Vのはねあがり電圧が印加されるが、アルミ配線17はソース電位に固定されているため、アルミ配線17の代わりにソース電極によりフィールドプレートを形成した場合と全く同一の耐圧を得ることができる。従って、アルミ配線17をフィールドプレートとして用いることができ、耐圧構造領域の耐圧を維持したまま、図10に示した従来構造における素子分離領域(外周部)Z2の幅を小さくできる。つまり、図10に示した従来構造においては、ソース電極55に接続されたアルミ配線54とゲート電極引出し線51とを個別に備えたが、これに対し、図3に示すように、本実施の形態ではチップの外形のサイズを小さくできる(素子分離領域Z2の幅を、150μm程度にできる)。

【0029】又、図2、5に示すように、四角形をなす素子分離領域Z2の角の部分においては、ソース電極延設部21の外側端がディープpウェル領域19の外周端から距離L3だけ外側に位置しており、ソース電極延設部21がフィールドプレートとして機能している。よって、図10に示した従来構造におけるゲート電極引出し線51が不要となるため、素子分離領域(外周部)Z2の幅を小さくできる。つまり、角部以外でソース電位に固定した場合に生じる無駄なディープpウェル領域19とソース電極11とのコンタクトスペースが無くなるた

めチップサイズを小さくできる。

【0030】又、チップ内には複数の角部があるため、この各角部をコンタクト部としてディープpウェル領域19の電位をソース電位に固定すると、チップ内で均一に電位を固定することができる。このようにすると、スイッチング時にドレイン電極にドレイン・ソース間電圧以上の電圧が印加された場合に、局所的にアバランシェブレイクダウンが発生せずチップ面内で均一にアバランシェブレイクダウンが発生するため、破壊耐量を高くすることができる。

【0031】尚、角部以外の図3で示す箇所においてセル形成領域Z1とアルミ配線17(ゲート電極引出し線)を最短で接続しているため、チップのスイッチング速度は従来構造の図10と変わらない(スイッチング速度の低下は回避される)。

【0032】さらに、図2、4に示すように、四角形をなす素子分離領域Z2の辺の部分と角の部分の境界部分においては、ポリシリコンゲート電極延設部15の外側端はディープpウェル領域19の外周端から距離L2だけ外側に位置しており、ポリシリコンゲート電極延設部15がフィールドプレートとして機能し、この張り出し部分L2により耐圧構造を得ている。

【0033】つまり、この箇所(図2の間隔40を設けた箇所)においてはソース電極延設部21とアルミ配線(ゲート電極引出し線)17を絶縁しており、この箇所ではポリシリコンゲート電極延設部15をフィールドプレートとして用いている。厳密に述べると、図4の構造は、フィールドプレート(15)の下部の酸化膜の厚みが図3に比べシリコン酸化膜(層間絶縁膜)16の分だけわずかに薄くなる。従って、ドレイン電極13に電圧を印加した場合にシリコン表面の電界強度が図3の構造より上昇する。そのため、耐圧は、図3の構造よりわずかに低下する。しかし、この低下は、図4のフィールドプレート(15)の張り出し長さL2を図3の長さL1より長くすることによりシリコン表面の電界強度を緩和することができ耐圧を図3と等しくすることができる。つまり、素子分離領域Z2の全周にわたりフィールドプレート張り出し長さL1、L2、L3を調整することにより、チップ外周の耐圧を全域で等しくしている。

【0034】このようにして図4の断面構造では、図10に示した従来構造でのゲート電極用アルミ配線51、およびディープpウェル領域53とアルミ配線54のコンタクトスペースが無くなるため、図10に示した従来構造における素子分離領域(外周部)Z2の幅を小さくできる。

【0035】このように本実施の形態は、下記の特徴を有する。

(イ) 図3に示すように、セル形成領域Z1の周囲におけるディープpウェル領域(素子分離用不純物拡散領域)19の上に酸化膜14、16を介して縦型MOSF

E Tのポリシリコンゲート電極8のアルミ配線（金属配線）17をディープpウェル領域19よりも外側に張り出した状態で延設し、アルミ配線17をフィールドプレートとして用いたので、セル形成領域Z1の周囲の素子分離領域Z2において、図10に示したソース電極と接続されたアルミ配線（フィールドプレート構成体）54とアルミ配線51とを個別に備えた場合に比べて、素子分離領域Z2の幅を狭くでき、素子分離領域Z2を小面積化してチップ面積を小さくすることができる。

（ロ） 図5に示すように、ソース電極11をセル形成領域Z1の角部から外方に延設し、角部外方にソース電極延設部21とディープpウェル領域（素子分離用不純物拡散領域）19とを電気的に接続したので、角部以外でソース電極延設部とディープpウェル領域19とを接続する場合に比べ無駄なコンタクトスペースが無くなる。

（ハ） 図4に示すように、素子分離領域Z2におけるディープpウェル領域（不純物拡散領域）19の上にL O C O S酸化膜14を介して縦型M O S F E Tのポリシリコンゲート電極8をディープpウェル領域19よりも外側に張り出した状態で延設し、ポリシリコンゲート電極延設部15をフィールドプレートとして用いたので、素子分離領域Z2において、図10に示したソース電極と接続されたアルミ配線（フィールドプレート構成体）54とアルミ配線51とを備えた場合に比べて素子分離領域Z2の幅を狭くでき、素子分離領域Z2を小面積化してチップ面積を小さくすることができる。

（ニ） M O S F E Tのユニットセルの平面形状が四角形（正方形）となっているので、セル形成領域Z1の形状を矩形（長方形）にでき、セル形成領域Z1の外周部（境界部）を直線化できる（凹凸のない形状にできる）。そのためM O S F E Tのユニットセルの平面形状を四角形以外の形状とした場合に比べ、素子分離領域（耐圧構造領域）の面積を小さくできる。

【0036】尚、ユニットセルの形状は略正方形であったが、三角形や五角以上の多角形や円形でもよい。又、帯状（ストライプ形状）でもよい。

（第2の実施の形態）次に、この発明の第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0037】図7は、第1の実施の形態の図2に代わる本実施の形態の縦型パワーM O S F E T（チップ）の平面図である。図8は図7のD-D断面図であり、図7のE-E断面は図3と同じである。

【0038】上記第1の実施の形態ではセル形成領域Z1の角部外方にソース電極延設部21とディープpウェル領域（素子分離用不純物拡散領域）19とを電気的に接続したが、本例では図7に示すように、角部以外の素子分離領域Z2においてポリシリコンゲート電極8のアルミ配線（金属配線）17よりもセル側でポリシリコンゲート電極延設部15の無い領域24（図8に示す）

を設け、この領域24においてソース電極延設部25とディープpウェル領域（素子分離用不純物拡散領域）19とをコンタクトホール（開口部）26を通して電気的に接続している。この構造においても図10に示したゲート電極と接続されたアルミ配線54とアルミ配線51とを備えた場合に比べて素子分離領域Z2の幅を狭くでき、素子分離領域Z2を小面積化してチップ面積を小さくすることができる。さらにこの構造を用いると、素子分離領域Z2の角部においてソース電極延設部（21）とディープpウェル領域（不純物拡散領域）19とを電気的に接続していないためポリシリコンゲート電極8のアルミ配線（金属配線）17をチップ外周全域につなげて形成することができるためチップ全域にゲート信号を高速に伝えることができる。さらに、フィールドプレート構造はゲート電極と接続されたアルミ配線17のみにより形成されるようになり、フィールドプレート構造の耐圧はチップ面内で完全に等しくなるため、フィールドプレート構造の耐圧より高い電圧がドレイン・ソース間に加わった場合においてもチップ面内で均一にアバランシェブレイクダウンが発生するため破壊耐量を高くすることができる。

【0039】これまで説明した各実施の形態の他にも次のように実施してもよい。上記実施の形態では、nチャネル型について説明したが、n型とp型の半導体の導電型を入れ換えたpチャネル型についても同様の効果が得られることは言うまでもない。

【0040】さらに、溝を有する縦型M O S F E T以外にも、ラテラルD M O S F E Tを含む横型パワーM O S F E T、あるいは溝のないプレーナ型のM O S F E Tに適用してもよい。

【0041】さらには、上記実施の形態では、縦型パワーM O S F E Tのみを用いたI Cについて説明したが、それに限定されるものではなく、このような縦型パワーM O S F E Tを組み込んだパワーM O S I Cに適用してもよい。

【0042】又、上記実施の形態では、半導体基板としてn⁺型半導体基板を用いた縦型パワーM O S F E Tについて説明したが、p⁺型半導体基板を用いた絶縁ゲート型バイポーラトランジスタ（I G B T）のゲート構造にも適用することができる。

【図面の簡単な説明】

【図1】 実施の形態の縦型パワーM O S F E Tの平面図。

【図2】 図1でのチップ角部の拡大図。

【図3】 図2のA-A断面図。

【図4】 図2のB-B断面図。

【図5】 図2のC-C断面図。

【図6】 図3のX部拡大図。

【図7】 第2の実施の形態におけるチップ角部の拡大平面図。

11

【図8】 図7のD-D断面図。

【図9】 従来の縦型パワーMOSFETの平面図。

【図10】 図9のF-F断面図。

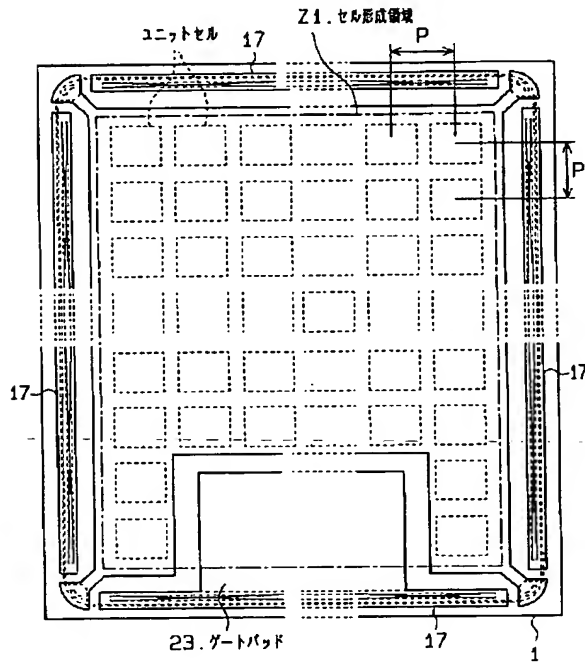
【符号の説明】

1…半導体基板、6…溝、8…ポリシリコンゲート電極、11…ソース電極、13…ドレイン電極、14…L*

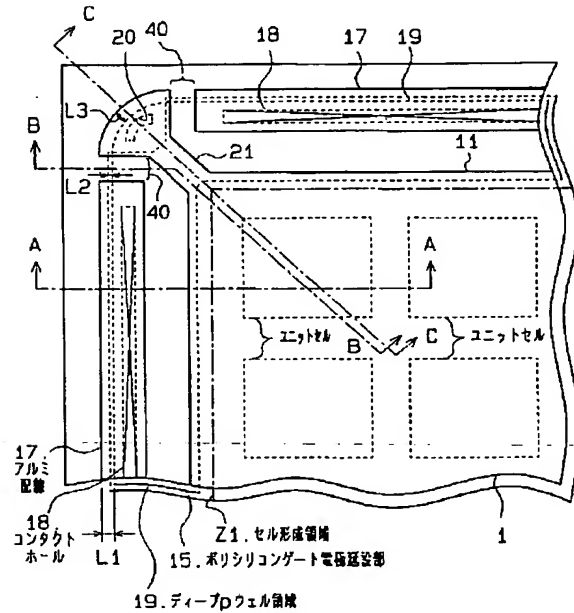
12

*OCOS酸化膜、15…ポリシリコンゲート電極延設部、16…シリコン酸化膜、17…金属配線としてのアルミ配線、19…素子分離用不純物拡散領域としてのディープpウェル領域、21…ソース電極延設部、Z1…セル形成領域、Z2…素子分離領域。

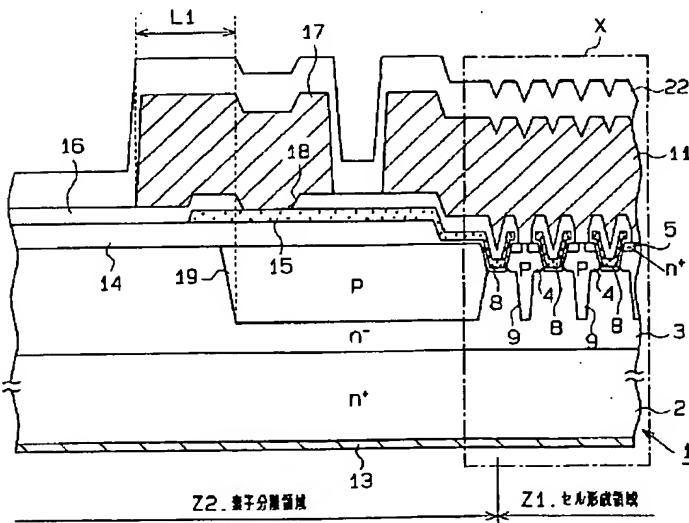
【図1】



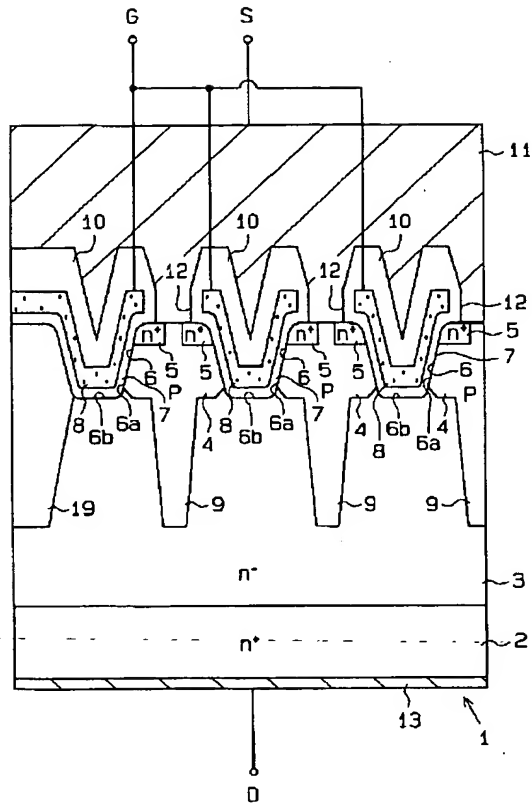
【図2】



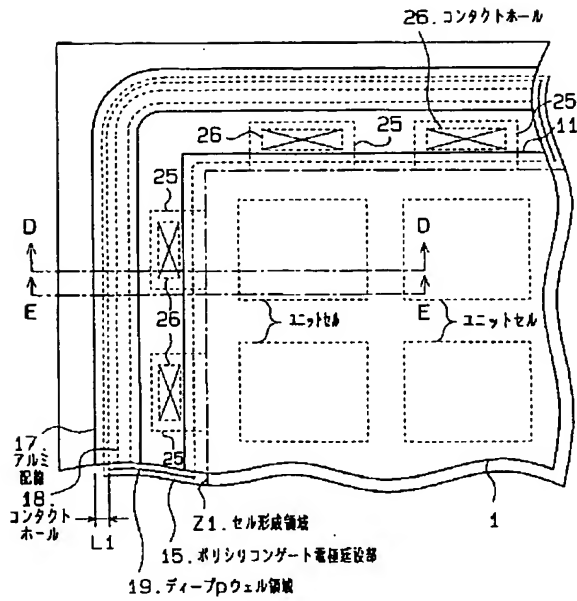
【図3】



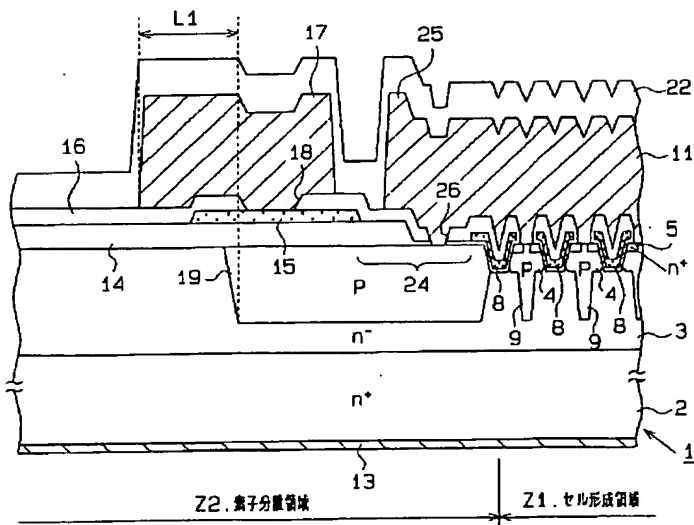
【図6】



【図7】



【図8】



【図10】

